

日 本 国 特 許 庁
JAPAN PATENT OFFICE

01.7.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 7月 4日

出 願 番 号
Application Number: 特願2003-191880
[ST. 10/C]: [JP2003-191880]

出 願 人
Applicant(s): 株式会社リコー

REC'D 19 AUG 2004

WFO

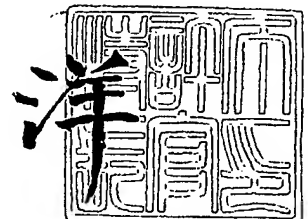
PCT


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 8月 5日

特許庁長官
Commissioner,
Japan Patent Office

小 川





【書類名】 特許願
【整理番号】 0304081
【提出日】 平成15年 7月 4日
【あて先】 特許庁長官殿
【国際特許分類】 G05F 1/56
【発明の名称】 半導体装置
【請求項の数】 8
【発明者】
 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
 【氏名】 森野 航一
【発明者】
 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
 【氏名】 根来 宝昭
【特許出願人】
 【識別番号】 000006747
 【氏名又は名称】 株式会社リコー
【代理人】
 【識別番号】 100077274
 【弁理士】
 【氏名又は名称】 磯村 雅俊
 【電話番号】 03-3348-5035
【選任した代理人】
 【識別番号】 100102587
 【弁理士】
 【氏名又は名称】 渡邊 昌幸
 【電話番号】 03-3348-5035
【手数料の表示】
 【予納台帳番号】 013402
 【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808799

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 高耐圧電圧レギュレータからなる半導体装置において、
高電圧印加の入力電圧で動作する高耐圧電圧レギュレータ部分と、
該高耐圧電圧レギュレータ部分の出力電圧を入力とする低耐圧デバイスで構成
された基準電圧発生回路および差動増幅回路と、

該基準電圧発生回路および差動増幅回路の出力で駆動される高耐圧出力ドライ
バと、

該高耐圧出力ドライバの出力に接続され、分圧された電圧を前記低耐圧デバイ
スで構成された差動増幅回路の入力側にフィードバックする抵抗器と
を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記高耐圧出力ドライバと低耐圧デバイスは、MOS トランジスタであり、両
方とも同じゲート酸化膜厚を持ち、前記高耐圧レギュレータ部分の高耐圧 MOS
トランジスタより薄いゲート酸化膜厚であることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、
前記高耐圧出力ドライバの P c h MOS トランジスタのゲートとソース間、ま
たは N c h MOS トランジスタのゲートとソース間、あるいはゲートとグラウン
ド間に、ゲート酸化膜破壊耐圧より低い逆耐圧のダイオードを配置する構造を有
することを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、
前記高耐圧出力ドライバが P c h MOS トランジスタである場合、その制御用
入力信号を、高電圧入力と接続との間に定電流回路を配置し、該定電流回路と低
耐圧デバイスの差動増幅回路の出力で制御される MOS トランジスタとで、定電
流インバータを構成することを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、
前記高耐圧出力ドライバが P c h MOS トランジスタである場合、その制御用

入力信号を、高電圧入力と接続との間に Pch 高耐圧 MOS トランジスタと Nch 高耐圧 MOS トランジスタを 2 組配置し、

一方の Nch 高耐圧 MOS トランジスタに低耐圧デバイスで作られる基準電圧を入力させ、Pch 高耐圧 MOS トランジスタを定電流化し、

他方の Pch 高耐圧 MOS トランジスタを電流ミラー構成で折り返すことで定電流インバータとし、

低耐圧デバイスの差動増幅回路の出力を Nch 高耐圧 MOS トランジスタの入力として動作させ、その出力を Pch MOS トランジスタの高耐圧ドライバの入力として動作させる構成とすることを特徴とする半導体装置。

【請求項 6】 基準電圧発生回路と差動増幅回路と出力ドライバと抵抗とで構成される高耐圧電圧レギュレータ回路を内蔵した半導体装置において、

電源ラインと前記基準電圧発生回路の出力基準電圧および差動増幅回路との間に、MOS トランジスタによる定電流回路を介して構成されたことを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

前記定電流回路は、Nch あるいは Pch Dep MOS トランジスタ、または、Nch あるいは Pch Enh MOS トランジスタであることを特徴とする半導体装置。

【請求項 8】 請求項 6 または 7 記載の半導体装置において、

前記 MOS トランジスタを、多段に直列に配置する構成としたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高耐圧電圧レギュレータを構成する半導体装置に関し、特に電圧変動が小さく、AC 特性が改善され、異なる電圧帯の製品開発が容易な半導体装置に関する。

【0002】

【従来の技術】

電圧レギュレータは、例えばバンドギャップリファレンスである基準電圧 V_{ref} を生成する基準電圧発生回路部と、差動増幅回路および出力ドライバからなる電圧レギュレータ部とから構成される。これらの全てが1チップの半導体装置に集積化されている。そして、従来から許容入力電圧を高めるために、出力ドライバであるMOSトランジスタの高耐圧化が図られてきた。このMOSトランジスタを高耐圧構造にすることにより、電圧レギュレータの許容入力電圧は向上してきている。しかし、MOSトランジスタを高耐圧化するためには、表面ブレークダウン耐圧や絶縁膜破壊の時間依存などを考慮する必要がある、MOSトランジスタのゲート絶縁膜を厚くしなければならない。

【0003】

この場合、半導体装置の許容入力電圧を向上させることと、半導体装置を構成する各素子の許容入力電圧を高めることを、並行して検討する必要がある

そのために、高耐圧電圧レギュレータを作成するに当って、基準電圧発生回路部、差動増幅回路、および出力ドライバをそれぞれ高耐圧デバイスで構成する必要がある。一方、消費電流の低減に対しては、電圧入力駆動のMOSトランジスタで構成することが試みられている。アナログ回路（差動増幅回路）に用いる高耐圧MOSトランジスタに対しては、ソースドレイン耐圧以外にゲート酸化膜耐圧も大きくしなくてはならない。しかし、ゲート酸化膜耐圧を大きくすると、ゲート酸化膜容量が小さくなったり、あるいは、チャンネル長当りのドレイン電流が小さくなる。このため、MOSトランジスタで構成する基準電圧のばらつきが大きくなったり、差動増幅回路のAC特性が低下する結果となっている。

【0004】

また、出力ドライバは、入力信号に応答する耐圧のあるデバイスでよく、比較的デバイス開発も簡便にできる。一方、基準電圧発生回路や差動増幅回路のアナログ回路に使用する高耐圧デバイスは、電源電圧（ソース・ドレイン間電圧）に対してドレイン電流の変動がなく、基板バイアス依存も少ないデバイスが要求され、特性の合わせ込みについて、開発期間が長くなる傾向にある。どの電圧帯であっても、アナログ部分の高耐圧デバイスの開発を共通化でき、出力デバイスのデバイス開発のみで構成できる高耐圧電圧レギュレータが所望されていた。

【0005】

チップ面積の縮小のために、出力ドライバは、ソース・ドレイン間耐圧が高く、低ON抵抗のDMOSトランジスタを採用することで開発を行ってきた。このデバイスは、ドレイン濃度と構造でドレイン・ソース間耐圧を上げ、チャンネル拡張が傾斜拡散であるため、ゲート酸化膜厚を厚くし過ぎると、 V_{th} （スレッショルド電圧）の上昇、ソース・ドレイン間パンチスルー耐圧の劣化となり、厚いゲート酸化膜厚を使用することは困難である。このため、アナログ部分の高耐圧デバイスのゲート酸化膜厚とは異なるゲート酸化膜厚を使用せざるを得ない結果となる。また、低ON抵抗のDMOSトランジスタを採用することで、ゲート電位が高電圧がかかる時にゲート酸化膜厚が薄いので、破壊される欠点があった。

【0006】

出力ドライバをNchMOSトランジスタとする構成の場合には、入出力電圧差が大きくなって問題となるために、入出力電圧差を小さくできるPchMOSトランジスタを高耐圧ドライバとして使用する方法を考える必要があった。

さらに、上述したように、基準電圧発生回路、差動増幅回路および出力ドライバからなる電圧レギュレータ回路部は、回路が複雑であるため、AC特性を重視しない回路であれば、出力ドライバトランジスタ以外は高耐圧でないアナログデバイスのみで回路を構成することが必要である。

【0007】

なお、電圧レギュレータからなる半導体装置の占有面積を縮減し、集積度を向上させたものとしては、例えば、特開2002-23866号公報（特許文献1参照）がある。これは、出力ドライバであるPNPトランジスタと、NchMOSトランジスタ、出力ドライバを制御するNPNトランジスタとこのNPNトランジスタを制御する差動増幅回路からなる電圧レギュレータ回路において、NchMOSトランジスタとして高耐圧素子を用い、NPNトランジスタと差動増幅回路として低耐圧素子を用いる。ただ、この提案では、全ての素子を一体として半導体装置にするのではなく、出力ドライバが外付けとなっている。

【0008】

また、電流消費を増加させず、電源電圧が低い場合でも、必要なレベルの安定化電圧を生成できる電圧レギュレータとしては、例えば、特開 2002-366235 号公報（特許文献 2 参照）がある。これは、基準電圧発生回路とこれで発生された基準電圧を入力して動作するクランプ回路部と、基準電圧を入力して基準電圧を生成する電圧レギュレータ回路部とからなる電源回路装置である。ただ、この提案では、電圧レギュレータ回路部の出力ドライバとして、バイポーラトランジスタ（PNP トランジスタ）が使用されている。

【0009】

また、MOS トランジスタの高耐圧化については、例えば、特開平 11-354647 号公報（特許文献 3 参照）、特開平 8-125026 号公報（特許文献 4 参照）がある。前者では、MOS トランジスタのゲート・基板間の電圧差が常に小さい回路（MOS ドライバ等）では、ゲート絶縁膜の厚みを薄くし、ゲート・基板間の電位差が大きくなったり小さくなったりする回路（コンパレータ等）では、ゲート絶縁膜の厚みを厚くした LOCOS-ドレイン構造とするものである。また、後者では、MOS トランジスタのゲート・基板間電位差に応じて、MOS トランジスタのゲート絶縁膜の厚みを変えるものである。

【0010】

【特許文献 1】

特開 2002-23866 号公報

【特許文献 2】

特開 2002-366235 号公報

【特許文献 1】

特開平 11-354647 号公報

【特許文献 2】

特開平 8-125026 号公報

【0011】

【発明が解決しようとする課題】

前述のように、従来、アナログ回路に用いる高耐圧 MOS トランジスタに対しては、ソースドレイン耐圧以外にゲート酸化膜耐圧も大きくしなくてはならない

が、大きくすると、ゲート酸化膜容量が小さくなったり、チャンネル長当りのドレイン電流が小さくなってしまい、差動増幅回路のAC特性が低下する結果を生じていた。そして、どの電圧帯であっても、アナログ部分の高耐圧デバイスの開発を共通化でき、出力デバイスのデバイスの開発のみで構成できる高耐圧電圧レギュレータが望まれていた。

また、出力ドライバにNchMOSトランジスタを用いると、入出力電圧差が大きくなるため、問題となる場合が多く、PchMOSトランジスタを高耐圧ドライバとして使用することが望ましい。

【0012】

本発明の目的は、電圧レギュレータの全ての素子をICで一体化した場合に、アナログ回路である電圧レギュレータのコントロール部分の入力電圧変動を小さくして、AC特性の改善を図ることができ、また、ドライバを最適な電圧帯にしてデバイス開発することで、異なる電圧帯の製品開発が容易となり、生産工数も削減できる半導体装置を提供することにある。

【0013】

【課題を解決するための手段】

本発明の半導体装置は、(1) 高耐圧電圧レギュレータからなる半導体装置において、高電圧印加の入力電圧で動作する高耐圧電圧レギュレータ部分と、該高耐圧電圧レギュレータ部分の出力電圧を入力とする低耐圧デバイスで構成された基準電圧発生回路および差動増幅回路と、該基準電圧発生回路および差動増幅回路の出力で駆動される高耐圧出力ドライバと、該高耐圧出力ドライバの出力に接続され、分圧された電圧を前記低耐圧デバイスで構成された差動増幅回路の入力側にフィードバックする抵抗器と有することを特徴とする。

【0014】

また、(2) 前記高耐圧出力ドライバと低耐圧デバイスは、MOSトランジスタであり、両方とも同じゲート酸化膜厚を持ち、前記高耐圧レギュレータ部分の高耐圧MOSトランジスタより薄いゲート酸化膜厚であることも特徴とする。

【0015】

また、(3) 前記高耐圧出力ドライバのPchMOSトランジスタのゲートと

ソース間、またはN c h MOS トランジスタのゲートとソース間あるいはゲートとグラウンド間に、ゲート酸化膜破壊耐圧より低い逆耐圧のダイオードを配置する構造を有することも特徴とする。

【0016】

また、(4) 前記高耐圧出力ドライバがP c h MOS トランジスタである場合、その制御用入力信号を、高電圧入力と接続との間に定電流回路を配置し、該定電流回路と低耐圧デバイスの差動増幅回路の出力で制御されるMOS トランジスタとで、定電流インバータを構成することも特徴とする。

【0017】

また、(5) 前記高耐圧出力ドライバがP c h MOS トランジスタである場合、その制御用入力信号を、高電圧入力と接続との間にP c h 高耐圧MOS トランジスタとN c h 高耐圧MOS トランジスタを2組配置し、一方のN c h 高耐圧MOS トランジスタのゲートに低耐圧デバイスで作られる基準電圧を入力させ、P c h 高耐圧MOS トランジスタを定電流化し、他方のP c h 高耐圧MOS トランジスタを電流ミラー構成で折り返すことで定電流インバータとし、低耐圧デバイスの差動増幅回路の出力をN c h 高耐圧MOS トランジスタの入力として動作させ、その出力をP c h MOS トランジスタの高耐圧ドライバの入力として動作させる構成とすることも特徴とする。

【0018】

また、(6) 基準電圧発生回路と差動増幅回路と出力ドライバと抵抗とで構成される高耐圧電圧レギュレータ回路を内蔵した半導体装置において、電源ラインと前記基準電圧発生回路の出力基準電圧および差動増幅回路との間に、高耐圧レギュレータ回路と置換するためのMOS トランジスタによる定電流回路を配置することも特徴とする。

【0019】

また、(7) 前記定電流回路は、N c h あるいはP c h D e p MOS トランジスタ、または、N c h あるいはP c h E n h MOS トランジスタであることも特徴とする。

【0020】

また、(8) 前記MOSトランジスタを、多段に直列に配置する構成としたことも特徴とする。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態を、図面により詳細に説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置のブロック構成図である。

図1に示すように、第1の実施形態の半導体装置は、高耐圧電圧レギュレータにおいて、低耐圧電圧レギュレータ12の前段に、高耐圧印可の入力電圧で動作する高耐圧電圧レギュレータ11を接続し、その出力電圧を低電圧デバイスで構成される基準電圧と差動増幅回路の入力電圧とし、その低耐圧デバイスの差動増幅回路の出力を高耐圧ドライバM6に入力し、その高耐圧ドライバM6の出力に接続された抵抗で分圧された電圧が前記低耐圧電圧レギュレータ12にフィードバックされて、基準電圧と比較することで出力電圧を規定する。

【0022】

図1の半導体装置では、出力ドライバM6として、NchMOSトランジスタを使用するとともに、大電流が流れることで、NchMOSトランジスタM6のゲート・ソース間の電圧が上がっていくと、トランジスタM6が破壊されるおそれがあるので、電圧の上がり過ぎを防止するためのツェナーダイオードDを、ゲートとグラウンドの間に接続する。

なお、PchMOSトランジスタの方がNchMOSトランジスタより入出力電圧差が小さいので、出力ドライバM6をPchMOSトランジスタに置き換えてもよい。ただし、この場合には、ツェナーダイオードDは、電源とゲート間に配置する。

【0023】

図1に示す構成を採用することで、高電圧は1段目の電圧レギュレータ11と高耐圧ドライバM6で処理され、1段目の電圧レギュレータ11により定電圧化された電圧で2段目の電圧レギュレータ12が動作するので、2段目電圧レギュレータの入力電圧変動は小さく、AC特性の改善が図れる。そして、出力ドライ

バM6を最適な電圧帯にしてデバイス開発を行うことにより、異なる電圧帯の製品開発も容易に行える。

【0024】

(第2の実施形態)

図2は、本発明の第2の実施形態に係る半導体装置の回路構成図である。

図2において、11は図1と同じく高耐圧レギュレータ、12は図1と同じく低耐圧レギュレータ、13は高耐圧の定電流インバータ回路、M6は出力ドライバであるPchMOSトランジスタ、DはPchMOSトランジスタM6のゲート・ソース間の電圧低下を防止するためのツェナダイオードである。

このように、第2の実施形態の電圧レギュレータは、図1に示す回路構成において、高耐圧ドライバM6と低耐圧デバイス12はMOSトランジスタであり、両方とも同じゲート酸化膜厚を持ち、高耐圧レギュレータ部分11の高耐圧MOSトランジスタより薄いゲート酸化膜厚であることを特徴としている。

【0025】

図5は、図2の出力ドライバおよび低耐圧レギュレータを構成する一般的なMOSトランジスタの構造図である。

ただし、図5の出力ドライバを図7に示すようなDMOSトランジスタ構造としてもよい。

図5において、21はゲート電極、22はゲート酸化膜(SiO_2)、23はドレイン電極(P+)、24はソース電極(P+)、25は基板(N)である。

ゲート酸化膜22は、膜の厚さ、不純物の有無などがMOSトランジスタの特性を決定するための極めて重要な部分であって、精密なコントロールの下に作成される。図5は、PchMOSトランジスタを示しているが、基板25をP型に、ドレイン電極23とソース電極24の極性をNに入れ換えることで、NchMOSトランジスタとなる。本実施形態では、高耐圧ドライバM6と低耐圧レギュレータ12を構成する各MOSトランジスタの酸化膜22の厚さを、高耐圧レギュレータ11を構成するMOSトランジスタの酸化膜22の厚さよりも薄くする。

【0026】

図7は、一般的な出力ドライバとして用いられるDMOSトランジスタの構造図である。

図7において、21はゲート電極、22はゲート酸化膜、23はドレイン電極、24はソース電極、25は基板、26はチャンネル拡散領域である。

このように、DMOSトランジスタの構造は、MOSトランジスタのようにソース電極とドレイン電極とが基板上に対向して設けられず、基板上の広い範囲にドレイン電極があり、その中にソース電極が配置される。

【0027】

図2において、高耐圧レギュレータ11の差動増幅回路M1には、バンドギャップリファレンスを用いた電圧VREF1が反転入力端子側に入力しているが、正確にはここに基準電圧発生回路が含まれるが、ここでは記載が省略されている。また、電圧VREF2の箇所にも同じく基準電圧発生回路の記載が省略されている。

V1は高電圧入力であり、基準電圧発生回路はV1によって基準電圧VREF1を生成する。差動増幅回路M1とPchMOSトランジスタM3をドライバトランジスタとして、抵抗R1とR2で分割された電圧を差動増幅回路M1の非反転入力端子側にフィードバック入力するようにして、電圧レギュレータ11を構成する。

【0028】

この電圧レギュレータ11の出力電圧V2は、低耐圧レギュレータの最低動作電圧以上とする。出力ドライバM3の出力電流は、出力ドライバM6の出力電流I3に依存することなく、差動増幅回路M5と低耐圧レギュレータ12の差動増幅回路M5の反転入力端子側に入力するVREF2で消費される電流(100μA以下)で一定に保持されるため、M3は小さな出力ドライバで実現できる。

高耐圧レギュレータ11は、高耐圧デバイスが必要であるが、基準電圧回路V5と、差動増幅回路M5は、この電圧V2を入力電圧として使用するので、低耐圧デバイスでよい。さらに、V2は高耐圧電圧レギュレータ11で安定化された電圧であるため、V2のAC変動が低減されており、入力電圧V1の変動の低耐圧デバイス12の入力電圧V2への影響は軽減される。

【0029】

安定化された電圧 V_2 を入力電圧とする基準電圧発生回路 V_5 によって V_{REF2} を生成し、差動増幅回路 M_5 と高耐圧 MOS トランジスタ M_7 で V_1 側の定電流回路 I と Nch MOS トランジスタ M_7 とで構成する定電流インバータ 13 で Pch MOS トランジスタ M_6 を出力ドライバトランジスタとしてゲート電圧を制御し、抵抗 R_3 と R_4 で分割された電圧を差動増幅回路 M_5 の反転入力端子側に入力するフィードバック電圧とし、電圧レギュレータ 12 を構成する。

また、前述したように、出力ドライバの Pch MOS トランジスタ M_6 のゲートとソースとの間には、ゲート保護用にソース方向から逆方向特性のダイオード D が内蔵されている。ここでは、 Pch MOS トランジスタとして出力ドライバ M_6 を接続する例であるが、 M_3 または M_6 のどちらか一方または両方が Nch MOS トランジスタの場合にも、同様の構成で電圧レギュレータを構成することができる。図 1 に示すように、出力ドライバとして Nch MOS トランジスタを接続した場合にも、ゲートと接地との間にゲート酸化膜保護ダイオード D が配置された回路構成となる。

【0030】

次に、図 2 の定電流インバータ 13 について説明する。

定電流回路は、動作バイアス電流が電源電圧の変動、周囲温度の変動に対して比較的安定であること、差動増幅回路のエミッタに付加した場合、差動増幅回路の入力抵抗を大きくとることができること、などが利点となっている。

図 2 において、高耐圧ドライバ M_6 が Pch MOS トランジスタである場合、その制御用入力信号を、高電圧入力と接地との間に Pch 高耐圧 MOS トランジスタと Nch 高耐圧 MOS トランジスタを 2 組配置し、一方の Nch 高耐圧 MOS トランジスタに低耐圧デバイスで作られる基準電圧を入力させ、 Pch 高耐圧 MOS トランジスタを定電流化し、他方の Pch 高耐圧 MOS トランジスタを電流ミラー構成で折り返すことで定電流インバータとし、低耐圧デバイスの差動増幅回路の出力を Nch 高耐圧 MOS トランジスタの入力として動作させ、その出力を Pch MOS トランジスタの高耐圧ドライバの入力として動作させる。

【0031】

本実施形態では、出力ドライバM6と低電圧部分のゲート酸化膜厚を同じにしているため、生産工程を削減できるとともに、逆方向耐圧がゲート酸化膜耐圧より低いツェナーダイオードDを接続しているため、高電圧印加時にもトランジスタの破壊の心配がない。

なお、本実施形態では、定電流インバータの例を、最も特性のよい電流ミラー構成の回路で説明したが、その他の構成の定電流回路であっても勿論差し支えはない。また、本実施形態では、MOSトランジスタの例で記述しているが、基準電圧が一般的なバンドギャップリファレンスを用いた場合や、差動増幅回路やドライバがバイポーラデバイスなどの他のデバイスで構成されるものであっても可能である。

【0032】

(第3の実施形態)

図3は、本発明の第3の実施形態に係る半導体装置の回路構成図である。

図1、図2に示す回路構成は複雑であるため、AC特性を重視しない回路であれば、出力ドライバM6のトランジスタ以外は高耐圧でないアナログデバイスのみで回路を構成することが要望される。

そこで、本実施形態においては、図3に示すように、基準電圧発生回路と差動増幅回路と出力ドライバと抵抗とで構成される高耐圧レギュレータで、電源ラインV1と基準電圧発生回路VREF2および差動増幅回路M5の間に、MOSトランジスタによる定電流回路を介して構成された回路を設ける。この場合、定電流回路は、NchあるいはPchDepMOSトランジスタ、または、NchあるいはPchEnhMOSトランジスタである。

すなわち、定電流回路であるMOSトランジスタは、図2に示す高耐圧レギュレータ11（基準電圧発生回路VREF1を含む）と等価回路を形成することになる。

【0033】

図3に示すように、基準電圧VREF2と差動増幅回路M5の電源ライン側に、NchDepMOSトランジスタM11をゲートとソースを短絡させ、定電流化を行う。このとき、NchDepMOSトランジスタM11の電流駆動能力は

接地側になる回路の定電流値よりは大きい値とする。つまり、接地側の回路である基準電圧発生回路VREF2および差動増幅回路M5で消費する全電流を供給できる能力を持っていることが前提となる。

このように、基準電圧発生回路VREF2と差動増幅回路部分M5は、定電流回路を介して電源ラインに接続されているので、電源接地との間に配置されている各トランジスタを高耐圧デバイスにしなくても、回路構成が可能になる。

【0034】

デプレッション (Dep) とエンハンスメント (Enh) との関係は、Pch MOSトランジスタでは、ドレイン電流が流れなくなるゲート電圧値、つまり、閾値電圧 V_r が負の値であるのがエンハンスメント形で、正の値であるのがデプレッション形であり、Nch MOSトランジスタでは、この関係が逆になる。

すなわち、Pchでは、 $V_r > 0$ がデプレッション形、 $V_r < 0$ がエンハンスメント形であり、Nchでは、 $V_r < 0$ がデプレッション形で、 $V_r > 0$ がエンハンスメント形である。

【0035】

(第4の実施形態)

図4は、本発明の第4の実施形態に係る半導体装置の回路構成図であり、図6は多段接続定電流回路の特性図である。

図4に示すように、基準電圧VREF2と差動増幅回路M5の電源ライン側に、多段構成で直接接続されたNch Dep MOSトランジスタM11, M12をそれぞれゲートとソースを短絡させ、定電流化を行う。このとき、Nch Dep MOSトランジスタM11とM12の電流駆動能力は接地側になる回路の定電流値よりは大きい値とする。つまり、接地側の回路である基準電圧発生回路VREF2および差動増幅回路M5で消費する全電流を供給できる能力を持っていることが前提となる

これにより、AC特性を重視しない回路であれば、ドライバトランジスタ以外は高耐圧でないアナログデバイスのみで回路を構成することができ、設計が容易となる。

【0036】

図4において、多段に直列接続されたNchDePMOSトランジスタM11、M12は、それぞれソースとドレイン間に電圧が発生し、高電圧V1は各トランジスタM11、M12により緩和される。

すなわち、図6のMAは図3の場合のトランジスタM11のソース・ドレイン間電圧特性であり、MBは図4の場合のトランジスタM11、M12のソース・ドレイン間電圧特性を示す。トランジスタM11のソース・ドレイン間電圧は、MAのように飽和曲線となり、また、トランジスタM11、M12のソース・ドレイン間電圧は、MBのように飽和曲線となるため、印加される高電圧は緩和される。

【0037】

【発明の効果】

以上説明したように、本発明によれば、以下のような効果を奏する。

(1) 高電圧は1段目のレギュレータと高耐圧ドライバで処理され、1段目の電圧レギュレータで定電圧化された電圧で2段目の電圧レギュレータを動作させるので、2段目の電圧レギュレータの入力電圧変動は小さく、AC特性の改善が図れる。また、ドライバを最適な電圧帯にしてデバイスを開発するので、異なる電圧帯の製品開発が容易になる。

(2) ドライバと低電圧部分のゲート酸化膜厚を同じにしているため、生産工数が削減でき、また、ドライバにゲート酸化膜保護用ダイオードを配置するので、高電圧印加時にもトランジスタを破壊することがない。

(3) ドライバにPchMOSトランジスタを使用しても、基準電圧で制御された高耐圧定電流インバータを内蔵させて、制御するので、半導体装置は正常に動作する。

(4) 基準電圧と差動増幅回路部分は、定電流回路を介して電源ラインに接続されているため、電源接地との間に配置されている各トランジスタを、高耐圧デバイスにしなくても、回路構成が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体装置のブロック構成図である。

【図 2】

本発明の第 2 の実施形態に係る半導体装置の回路構成図である。

【図 3】

本発明の第 3 の実施形態に係る半導体装置のブロック構成図である。

【図 4】

本発明の第 4 の実施形態に係る半導体装置の回路構成図である。

【図 5】

本発明の出力ドライバおよび低耐圧レギュレータを構成する MOS トランジスタの構造図である。

【図 6】

本発明の多段直列接続された定電流形 MOS トランジスタの電圧特性図である。

【図 7】

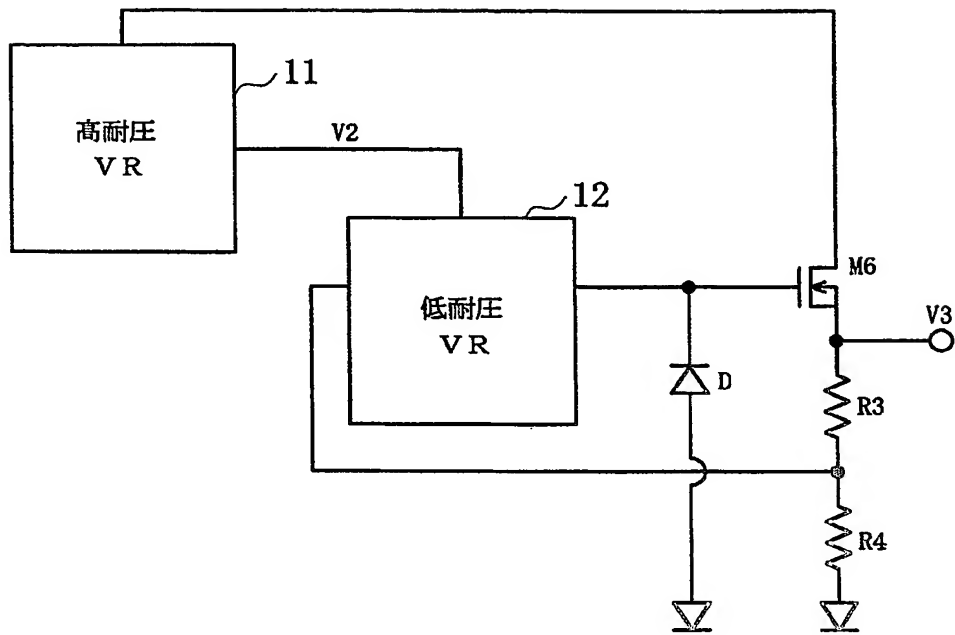
出力ドライバとして一般的に用いられる DMOS トランジスタの構造図である。

【符号の説明】

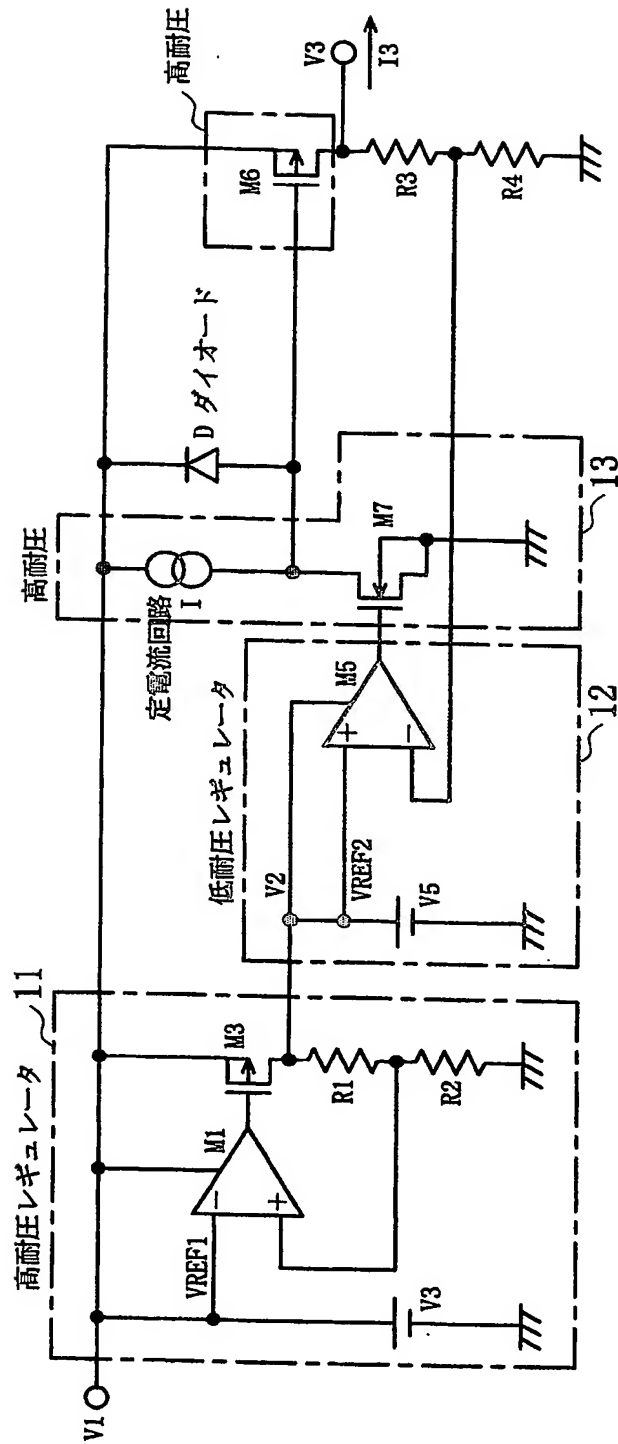
11…高耐圧電圧レギュレータ、12…低耐圧電圧レギュレータ、
13…高耐圧定電流インバータ回路、D…ゲート酸化膜保護用ダイオード、
21…ゲート電極、22…ゲート酸化膜、23…ドレイン電極 (P+)、
24…ソース電極 (P+)、25…基板 (N)、M6…出力ドライバ、
R1～R4…抵抗、V3…出力電圧、M1…高耐圧差動増幅回路、
M5…低耐圧差動増幅回路、M3…高耐圧電圧レギュレータのドライバ、
V1…高入力電圧、V2…低入力電圧、VREF1, 2…基準電圧発生回路、
M7…定電流インバータを構成する MOS トランジスタ、
M11, M12…MOS トランジスタによる定電流回路、
MA, MB…定電流回路による電圧電流特性、I…定電流回路。

【書類名】 図面

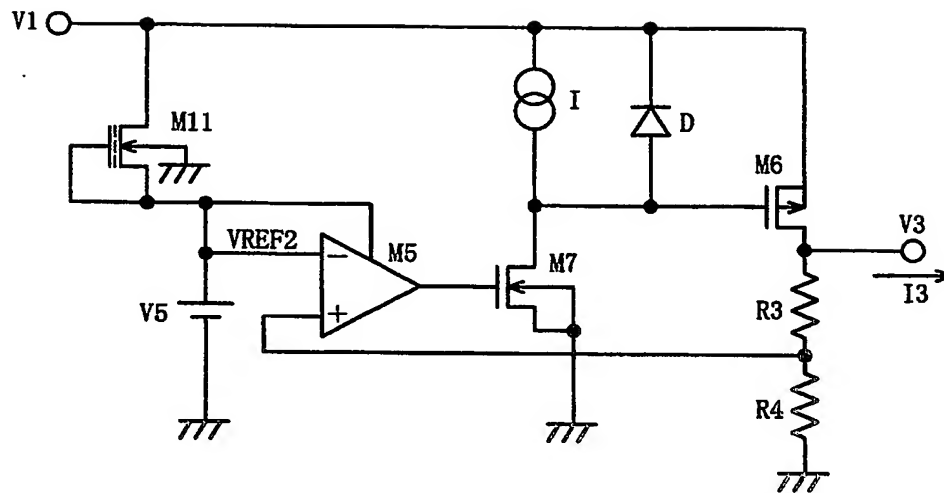
【図 1】



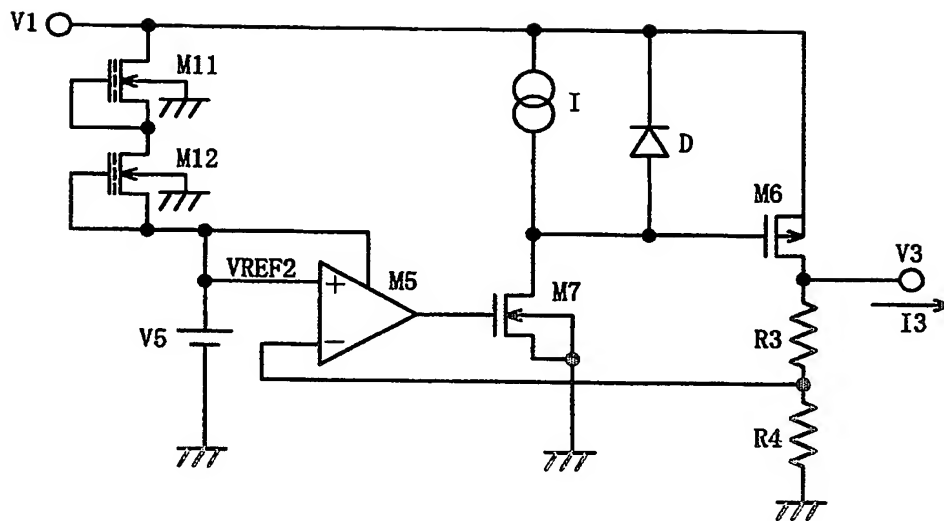
【図2】



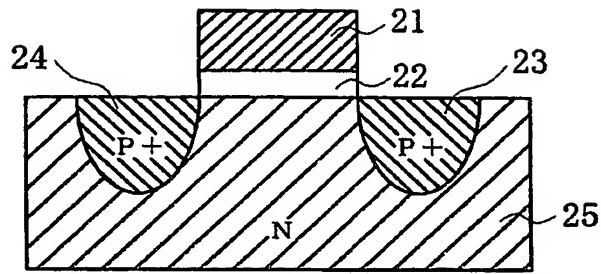
【図 3】



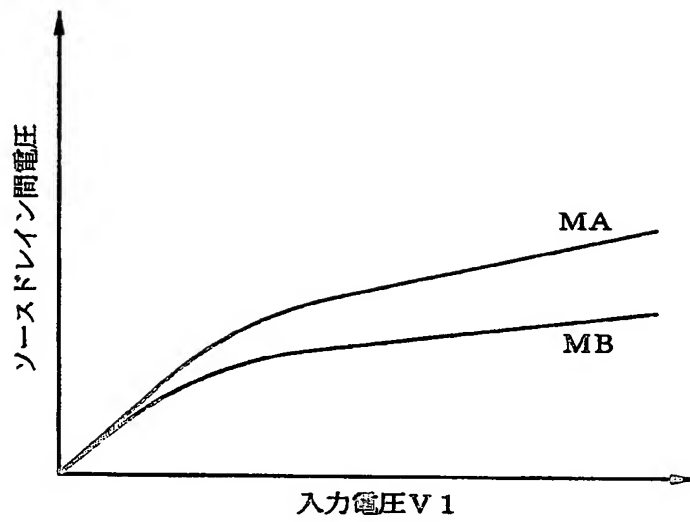
【図 4】



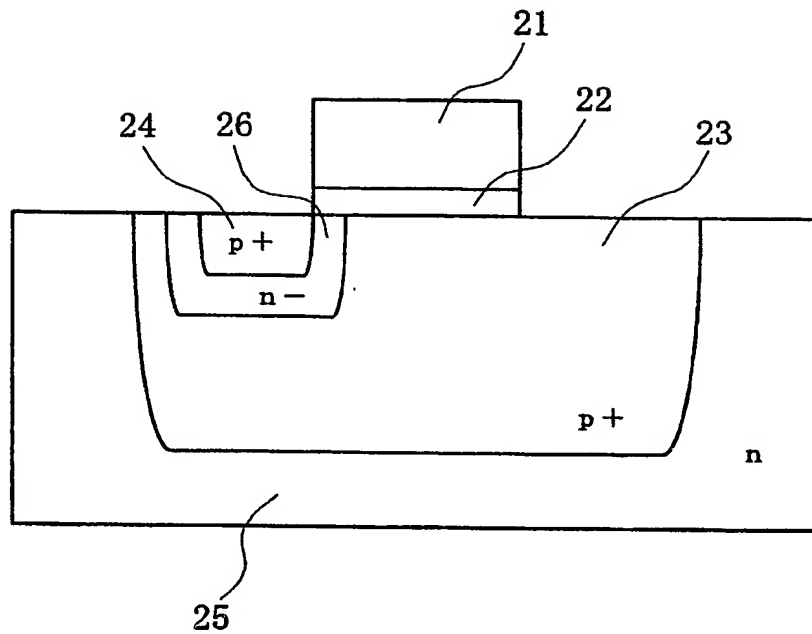
【図 5】



【図 6】



【図 7】



- 21 : ゲート電極
- 22 : ゲート酸化膜
- 23 : ドレイン電極
- 24 : ソース電極
- 25 : 基板
- 26 : チャンネル拡散

【書類名】 要約書

【要約】

【課題】一部の電圧レギュレータを低耐圧とし、かつ入力電圧変動を小さく、AC特性の改善を図るとともに、ドライバを最適な電圧帯にしてデバイスを開発することで、異なる電圧帯の製品開発を容易にする。

【解決手段】高電圧印加の入力電圧 V_1 で動作する高耐圧電圧レギュレータ11と、その出力電圧を入力とする低耐圧電圧レギュレータ12と、高耐圧ドライバM6の出力に接続された抵抗 R_3 、 R_4 で分圧された電圧を低耐圧電圧レギュレータ12の差動増幅回路M12にフィードバックさせ、基準電圧 V_{REF2} と比較することで、出力電圧を規定する。高耐圧ドライバM6と低耐圧電圧レギュレータ12のデバイスのMOSトランジスタは、同じゲート酸化膜厚であり、高耐圧電圧レギュレータ11のMOSトランジスタのゲート酸化膜厚より薄くする。

【選択図】 図2

特願 2003-191880

ページ： 1/E

出 願 人 履 歴 情 報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー